

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-345317  
 (43)Date of publication of application : 14.12.2001

(51)Int.CI. H01L 21/312  
 B32B 7/02  
 B32B 27/00  
 C08K 5/13  
 C08L 83/04  
 C08L 83/16  
 H01L 21/316  
 H01L 21/768

(21)Application number : 2001-002113  
 (22)Date of filing : 10.01.2001

(71)Applicant : FUJITSU LTD  
 (72)Inventor : NAKADA YOSHIHIRO  
 FUKUYAMA SHUNICHI  
 YANO EI  
 OWADA TAMOTSU  
 SUZUKI KATSUMI  
 SUGIURA IWAO

(30)Priority

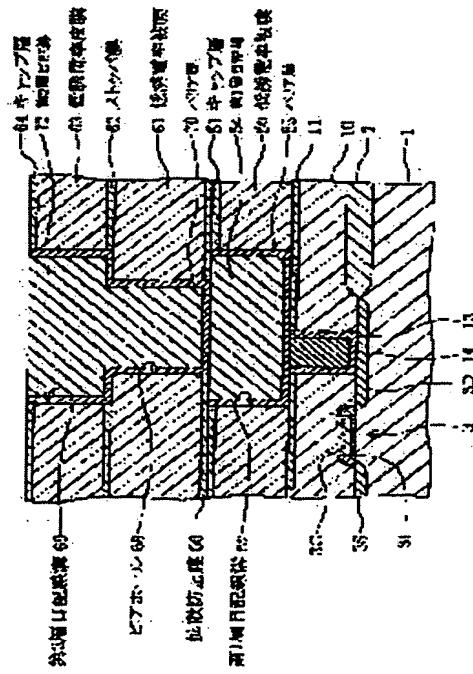
Priority number : 2000092138 Priority date : 29.03.2000 Priority country : JP

**(54) MATERIAL FOR FORMING COATING FILM HAVING LOW DIELECTRIC CONSTANT, COATING FILM USING THE SAME, AND SEMICONDUCTOR DEVICE**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a material for forming coating film having low dielectric constant which is suitable as the material of an interlayer insulating film and a highly reliable semiconductor device provided with a coating film having a low dielectric constant.

**SOLUTION:** The material for forming coating film having low dielectric constant is obtained by dissolving a siloxane resin and polycarbosilane in a solvent. By using this solution, a coating film having a low dielectric constant and containing the siloxane resin and polycarbosilane bonded to the siloxane resin is formed.



**LEGAL STATUS**

[Date of request for examination]

27.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3604007

[Date of registration] 08.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-345317  
(P2001-345317A)

(43)公開日 平成13年12月14日 (2001.12.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 01 L 21/312		H 01 L 21/312	C 4 F 1 0 0
B 32 B 7/02	1 0 4	B 32 B 7/02	1 0 4 4 J 0 0 2
27/00	1 0 1	27/00	1 0 1 5 F 0 3 3
C 08 K 5/13		C 08 K 5/13	5 F 0 5 8
C 08 L 83/04		C 08 L 83/04	

審査請求 未請求 請求項の数 9 OL (全 16 頁) 最終頁に続く

(21)出願番号	特願2001-2113(P2001-2113)
(22)出願日	平成13年1月10日 (2001.1.10)
(31)優先権主張番号	特願2000-92138(P2000-92138)
(32)優先日	平成12年3月29日 (2000.3.29)
(33)優先権主張国	日本 (JP)

(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(72)発明者	中田 義弘 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(72)発明者	福山 俊一 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
(74)代理人	100091340 弁理士 高橋 敬四郎

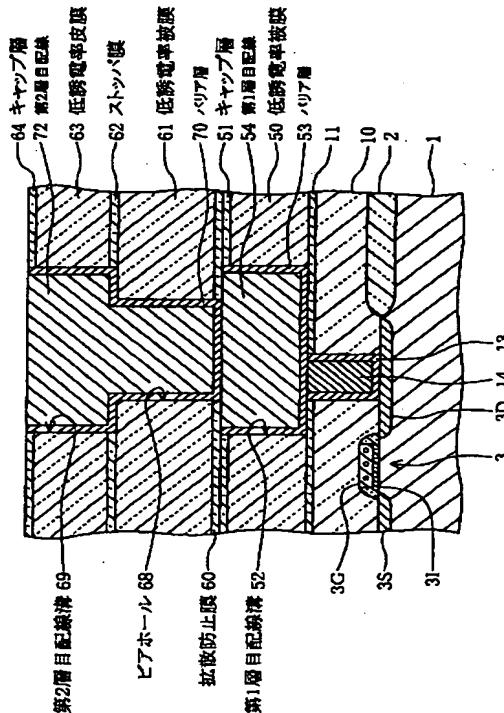
最終頁に続く

(54)【発明の名称】 低誘電率被膜形成材料、及びそれを用いた被膜と半導体装置

(57)【要約】

【課題】 層間絶縁膜材料として適した低誘電率被膜の材料を提供する。さらに、低誘電率の被膜を有し、かつ信頼性の高い半導体装置を提供することである。

【解決手段】 低誘電率被膜形成材料は、シロキサン樹脂とポリカルボシランとを溶媒に溶解させて得られる。この溶液を用いて、シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率被膜が形成される。



1

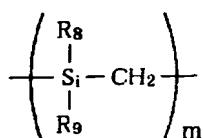
## 【特許請求の範囲】

【請求項1】 シロキサン樹脂とポリカルボシランとを溶解した低誘電率被膜形成材料。

【請求項2】 さらに、加熱もしくは光照射により脱離する有機化合物が溶解しており、その量が、前記シロキサン樹脂とポリカルボシランとの混合物に対し10~70重量%である請求項1に記載の低誘電率被膜形成材料。

【請求項3】 一般式が

【化1】

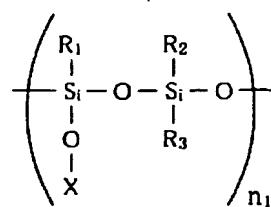


( $R_8$ 及び $R_9$ は、水素もしくは1価の炭化水素基、 $m$ は5~1000の整数)で表されるシロキサン樹脂100重量部と、

一般式が

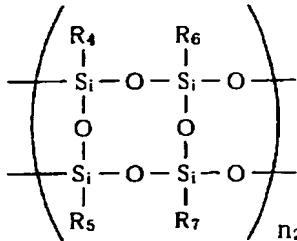
【化3】

2



( $R_1$ ~ $R_3$ は水素、酸素もしくは1価の炭化水素基、 $X$ は水素もしくはシリコン、 $n_1$ は5~200の整数)もしくは、

【化2】



材料よりもエッティング速度の速い第2のシリカ系多孔質材料からなる第2の膜を、前記第1の膜の表面上に、直接形成する工程と、

前記第2の膜の厚さ以上の深さを有する溝と、該溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールとを形成する工程と、

前記ピアホール及び前記溝内に、導電性の部材を埋め込む工程とを有する半導体装置の製造方法。

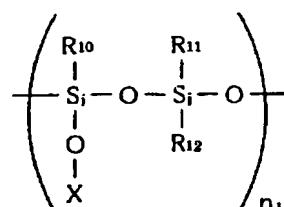
【請求項8】 半導体基板と、

前記基板の表面上に形成され、第1のシリカ系多孔質材料からなる第1の膜と、

前記第1の膜の上に直接形成され、第2のシリカ系多孔質材料からなる第2の膜とを有し、

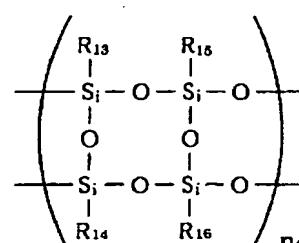
前記第1及び第2のシリカ系多孔質材料が、一般式

【化4】



( $R_{10}$ ~ $R_{12}$ は水素、酸素もしくは1価の炭化水素基、 $n_1$ は5~200の整数、 $X$ は水素もしくはシリコン)もしくは、一般式

【化5】



( $R_{13}$ ~ $R_{16}$ は水素、フッ素もしくは1価の炭化水素

20 0~300重量部とを溶剤に溶解させた低誘電率被膜形成材料。

【請求項4】 シロキサン樹脂と、  
該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率被膜。

【請求項5】 半導体基板と、  
前記半導体基板の主表面上に配置され、シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率材料からなる低誘電率被膜とを有する半導体装置。

【請求項6】 半導体基板と、  
前記基板の表面上に形成され、第1のシリカ系多孔質材料からなる第1の膜と、  
前記第1の膜の上に直接形成され、同一エッティング条件の下で、前記第1のシリカ系多孔質材料とはエッティング速度の異なる第2のシリカ系多孔質材料からなる第2の膜とを有する半導体装置。

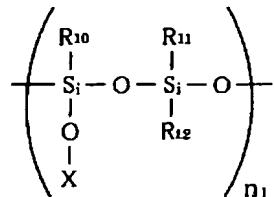
【請求項7】 半導体基板の表面上に、第1のシリカ系多孔質材料からなる第1の膜を形成する工程と、  
同一エッティング条件の下で、前記第1のシリカ系多孔質

50

基、 $n_2$ は5～100の整数、ただし $R_{13} \sim R_{16}$ のうち少なくとも1つは水素)で表されるシロキサン樹脂を含み、前記第1のシリカ系多孔質材料においては、 $R_{10} \sim R_{12}$ のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であるか、または $R_{13} \sim R_{16}$ のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であり、前記第2のシリカ系多孔質材料においては、 $R_{10} \sim R_{12}$ のいずれも炭素数2以上の炭化水素基ではないか、または $R_{13} \sim R_{16}$ のいずれも炭素数2以上の炭化水素基ではない半導体装置。

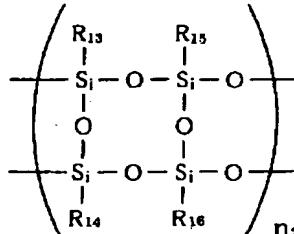
【請求項9】 半導体基板の表面上に、第1のシリカ系多孔質材料からなる第1の膜を形成する工程と、  
第2のシリカ系多孔質材料からなる第2の膜を、前記第1の膜の表面上に、直接形成する工程と、  
前記第2の膜の厚さ以上の深さを有する溝と、該溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールとを形成する工程と、  
前記ピアホール及び前記溝内に、導電性の部材を埋め込む工程とを有し、  
前記第1及び第2のシリカ系多孔質材料が、一般式

【化6】



( $R_{10} \sim R_{12}$ は水素、酸素もしくは1価の炭化水素基、 $n_1$ は5～200の整数、Xは水素もしくはシリコン)もしくは、一般式

【化7】



( $R_{13} \sim R_{15}$ は水素、フッ素もしくは1価の炭化水素基、 $n_2$ は5～100の整数、ただし $R_{13} \sim R_{16}$ のうち少なくとも1つは水素)で表されるシロキサン樹脂を含み、前記第1のシリカ系多孔質材料においては、 $R_{10} \sim R_{12}$ のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であるか、または $R_{13} \sim R_{16}$ のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であり、前記第2のシリカ系多孔質材料においては、 $R_{10} \sim R_{12}$ のいずれも炭素数2以上の炭化水素基ではないか、または $R_{13} \sim R_{16}$ のいずれも炭素数2以上の炭化水素基ではない半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低誘電率被膜の材料、それを用いた低誘電率被膜及び半導体装置に関する。

【0002】

【従来の技術】 半導体集積回路装置の高集積化及び処理速度の向上が要望されている。半導体集積回路装置内の信号伝搬速度は、配線抵抗と、配線間の寄生容量によって制約される。半導体集積回路装置の高集積化によって10配線幅及び配線間隔が狭くなり、配線抵抗が増大するとともに、寄生容量も大きくなっている。配線を薄くすることによって寄生容量を小さくすることはできるが、これによって配線抵抗が増大してしまうため、信号伝搬速度の向上には繋がらない。信号伝搬速度を速めるために、層間絶縁膜の低誘電率化が有効である。

【0003】 従来、層間絶縁膜材料として、二酸化珪素(SiO<sub>2</sub>)、窒化珪素(SiN)、酸化フッ化珪素(SiOF)、燐珪酸ガラス(PSG)等の無機材料、あるいはポリイミド等の有機高分子材料が用いられてきた。化学気相成長(CVD)により形成した二酸化珪素膜の比誘電率は約4である。SiO<sub>2</sub>膜の比誘電率は、約3.3～3.5であり、二酸化珪素の比誘電率よりも小さい。ところが、SiOFは吸湿性が高いため、吸湿して比誘電率が上昇しやすい。

【0004】 低誘電率材料として、Si-H結合を含むシロキサン樹脂や、シロキサン樹脂を多孔質化した樹脂等が注目されている。

【0005】

【発明が解決しようとする課題】 シロキサン樹脂をアルカリ性溶液で洗浄すると、加水分解により、吸湿性の高いSiOHが生成される。このため、アルカリ性溶液を用いた洗浄により、シロキサン樹脂の比誘電率が上昇してしまう。一方、有機高分子膜は、ガラス転移温度が200～350℃程度と低く、熱膨張率も大きい。このため、配線に与えるダメージが大きい。

【0006】 本発明の目的は、層間絶縁膜材料として適した低誘電率被膜の材料を提供することである。

【0007】 本発明の他の目的は、層間絶縁膜に適した低誘電率の被膜を提供することである。

【0008】 本発明の他の目的は、低誘電率の被膜を有し、かつ信頼性の高い半導体装置を提供することである。

【0009】

【課題を解決するための手段】 本発明の一観点によると、シロキサン樹脂とポリカルボシランとを溶解した低誘電率被膜形成材料が提供される。

【0010】 本発明の他の観点によると、シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率被膜が提供される。

【0011】 さらに、本発明の他の観点によると、半導

体基板と、前記半導体基板の表面上に配置され、シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率材料からなる誘電体膜とを有する半導体装置が提供される。

【0012】シロキサン樹脂にポリカルボシランを添加することにより、シロキサン樹脂膜のアルカリ耐性を高めることができる。

【0013】本発明の他の観点によると、半導体基板と、前記基板の表面上に形成され、第1のシリカ系多孔質材料からなる第1の膜と、前記第1の膜の上に直接形成され、同一エッティング条件の下で、前記第1のシリカ系多孔質材料とはエッティング速度の異なる第2のシリカ系多孔質材料からなる第2の膜とを有する半導体装置が提供される。

【0014】本発明のさらに他の観点によると、半導体基板の表面上に、第1のシリカ系多孔質材料からなる第1の膜を形成する工程と、同一エッティング条件の下で、前記第1のシリカ系多孔質材料よりもエッティング速度の速い第2のシリカ系多孔質材料からなる第2の膜を、前記第1の膜の表面上に、直接形成する工程と、前記第2の膜の厚さ以上の深さを有する溝と、該溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールとを形成する工程と、前記ピアホール及び前記溝内に、導電性の部材を埋め込む工程とを有する半導体装置の製造方法が提供される。

【0015】第1および第2の膜をシリカ系多孔質材料で形成することにより、誘電率の低減を図ることができる。第1及び第2の膜のエッティング速度が異なるため、一方の膜のみを選択的にエッティングすることが容易になる。

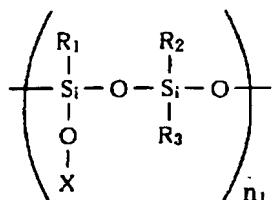
#### 【0016】

【発明の実施の形態】本発明の実施例による低誘電率被膜を形成するための材料は、シロキサン樹脂及びポリカルボシランを溶剤に溶解させることにより得られる。

【0017】シロキサン樹脂として、例えば、一般式

【0018】

【化8】



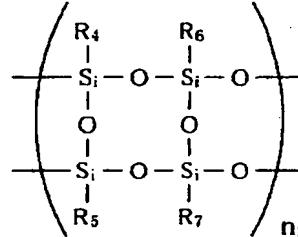
【0019】で表されるものを用いることができる。ここで、R<sub>1</sub>～R<sub>3</sub>は、水素、酸素もしくは1価の炭化水素基、例えばメチル基、エチル基、フェニル基等であり、Xは水素もしくはSiである。モノマ単位の繰り返し数n<sub>1</sub>は、5～200である。R<sub>1</sub>～R<sub>3</sub>が酸素である場合には、当該酸素原子に上記Xと同様の基が結合する。XがSiである場合には、当該Si原子から(-Si-O-

一) 骨格が延びる。上記一般式で表される樹脂として、例えば、テトラアルコキシシラン、トリアルコキシシラン、メチルトリアルコキシシラン等を原料としてソルゲル法により生成した樹脂、もしくはこれらの混合物を原料としてソルゲル法により生成した樹脂、テトラアルコキシシランとジメチルアルコキシシランとを原料としてソルゲル法により生成した樹脂等が挙げられる。

【0020】その他に、シロキサン樹脂として、一般式

【0021】

【化9】

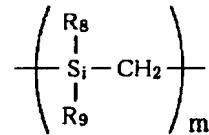


【0022】で表される梯子型のものを用いることができる。ここで、R<sub>4</sub>～R<sub>7</sub>のうち少なくとも1つは水素であり、他は、水素、フッ素もしくは1価の炭化水素基、例えばメチル基、エチル基、フェニル基等である。モノマ単位の繰り返し数n<sub>2</sub>は、5～100である。上記一般式で表される樹脂として、例えば水素シルセスキオキサン、メチルシルセスキオキサン、フッ素含有水素シルセスキオキサン等が挙げられる。

【0023】ポリカルボシランの一般式は、

【0024】

【化10】



【0025】で表される。ここで、R<sub>8</sub>及びR<sub>9</sub>は、水素もしくは1価の炭化水素基、例えばメチル基、エチル基、フェニル基等である。モノマ単位の繰り返し数mは、20～1,000である。

【0026】使用可能な溶剤は、シロキサン樹脂とポリカルボシランとを溶解させるものであれば特に限定されない。例えば、使用可能な溶剤として、シクロヘキサン、メチルイソブチルケトン、メチルエチルケトン、メチルセロソルブ、エチルセロソルブ、オクタン、デカン、プロピレンギリコール、プロピレンギリコールモノメチルエーテル、プロピレンギリコールモノメチルエーテルアセテート等が挙げられる。

【0027】さらに、低誘電率被膜を多孔質化するために、加熱もしくは光照射によって脱離する有機化合物(脱離剤)を溶剤に添加してもよい。このような有機化合物として、アダマンタン化合物、例えばアダマンタンモノフェノール等が挙げられる。多孔質化することによ

り、被膜の誘電率を下げることができる。なお、脱離剤を添加しすぎると、被膜の機械的強度が低下してしまう。このため、脱離剤の添加量を、シロキサン樹脂とポリカルボシランとの混合物に対して70重量%以下とすることが好ましい。

【0028】発明者らは、シロキサン樹脂にポリカルボシランを添加すると、アルカリ性溶液をはじく性質が付与されることを見出した。上記実施例による材料を用いて形成した低誘電率被膜は、アルカリ性溶液をはじくやすい。このため、低誘電率被膜を形成した半導体基板をアルカリ性溶液で処理しても、アルカリ性溶液による被膜の加水分解が抑制され、誘電率の上昇を抑制することができる。

【0029】また、ポリカルボシランは、シロキサン樹脂との相溶性が高いため、シロキサン樹脂中に均一に分散される。

【0030】また、ポリカルボシランは高い耐湿性を有する。このため、特に耐湿性の劣る多孔質のシロキサン樹脂にポリカルボシランを添加することにより、耐湿性向上という顕著な効果が得られる。

【0031】ポリカルボシランの重量平均分子量が小さすぎると、成膜時の加熱により大部分が蒸発してしまう。また、重量平均分子量が大きすぎると、溶剤に対する溶解度が低下するため、塗布液の生成が困難である。このため、使用するポリカルボシランの重量平均分子量を1,000以上500,000以下とすることが好ましい。

【0032】シロキサン樹脂に、吸湿性の高いシラノール基が存在する場合には、ポリカルボシランの側鎖が水素であることが好ましい。シラノール基と水素とが反応し、シラノール基が減少するためである。

【0033】ポリカルボシランの添加量が少なすぎると、十分なアルカリ耐性及び耐湿性が得られない。また、添加量が多くすぎると被膜の密着度が低下する。このため、ポリカルボシランの添加量を、シロキサン樹脂100重量部に対して、10～300重量部とすることが好ましい。

【0034】上述の実施例による低誘電率被膜形成材料を、半導体基板の表面上にスピンドルコートし、120～250℃で溶剤を蒸発させ、300℃以上で熱処理して架橋させることにより、シロキサン樹脂にポリカルボシランが結合した低誘電率被膜を形成することができる。

【0035】

【実施例】次に、低誘電率被膜形成材料の具体的な生成方法の第1の実施例について説明する。

【0036】メチルイソブチルケトン39.6gに、テトラエトキシシラン20.8g(0.1モル)とメチルトリエトキシシラン17.8g(0.1モル)とを溶解させる。濃度400ppmの硝酸水16.2g(0.9モル)を10分間で滴下し、滴下終了後2時間の熟成反

応を行う。テトラエトキシシランとメチルトリエトキシシランとが共重合し、シロキサン樹脂が生成される。

【0037】次に、硝酸マグネシウム5gを添加し、過剰の水分を除去する。ロータリエバボレータを用い、熟成反応で生成したエタノールを、反応溶液が50mlになるまで除去する。得られた反応溶液に、メチルイソブチルケトン20mlを添加し、シロキサン樹脂溶液を得る。

【0038】シロキサン樹脂溶液に、重量平均分子量210,000のポリカルボシランを、シロキサン樹脂(固体分)100重量部に対して10～300重量部添加する。ここまで工程で、低誘電率被膜を形成するための樹脂溶液が得られる。なお、用いたポリカルボシランは、(-SiH(CH<sub>3</sub>)-CH<sub>2</sub>-)骨格を持つものである。

【0039】なお、比較のために、ポリカルボシランが添加されていない樹脂溶液、ポリカルボシランの添加量を5重量部及び350重量部とした樹脂溶液を作製した。

【0040】次に、第2の実施例による低誘電率被膜形成材料の生成方法について説明する。第1の実施例では、シロキサン樹脂の原料として、テトラエトキシシラン20.8gとメチルトリエトキシシラン17.8gとを用いたが、第2の実施例では、テトラエトキシシラン20.8g(0.1モル)とトリエトキシシラン16.4g(0.1モル)とを用いる。生成工程は、第1の実施例の場合と同様である。なお、用いるイソブチルケトンは37.2gである。

【0041】次に、第3の実施例による低誘電率被膜形成材料の生成方法について説明する。窒素ガス導入管及び液体用定量ポンプを装備した反応容器に、硫酸88g(0.9モル)、発煙硫酸33g(60%SO<sub>4</sub>)を仕込む。発煙硫酸は、反応容器内の脱水を行うために添加される。トルエン87g(0.95モル)を定量ポンプで2ml/分の条件で滴下し、滴下終了後1時間の熟成反応を行う。この熟成反応により、トルエンスルホン酸水和物が生成される。

【0042】トリクロロシラン41g(0.3モル)を、濃度が20重量%になるようにトルエンに溶解した溶液を、定量ポンプで2ml/分の条件で滴下する。滴下終了後、2時間の熟成反応を行う。この熟成反応により、梯子型のシロキサン樹脂が合成される。反応終了後、濃度50重量%の硫酸水溶液100mlを添加し、沈殿したトルエンスルホン酸を除去する。分液ロートを用い、過剰の硫酸水溶液を除去する。

【0043】炭酸カルシウム2gで、残留した硫酸を中和する。硝酸マグネシウム5gで脱水した後、ロータリエバボレータを用いてトルエンを除去する。ここまで工程で水素シルセスキオキサン樹脂の固体物15gが得られた。得られた水素シルセスキオキサン樹脂を、70

gのメチルイソブチルケトンに溶解させ、固形分濃度17.5重量%の溶液を得た。

【0044】得られた溶液に、重量平均分子量20,000のポリカルボシランを、溶液中の固形分100重量部に対して20～300重量部添加する。ここまで工程で、低誘電率被膜を形成するための樹脂溶液が得られる。

【0045】次に、第4の実施例による低誘電率被膜形成材料の生成方法について説明する。第3の実施例では、水素シルセスキオキサンの原料としてトリクロロシラン41gを用いたが、第4の実施例では、トリクロロシラン36g(0.27モル)とフルオロトリクロロシラン4.6g(0.03モル)とを用いる。生成工程は、第3の実施例の場合と同様である。

【0046】第4の実施例では、フッ素含有水素シルセスキオキサン樹脂15gとポリカルボシランとを含む樹脂溶液が得られる。

【0047】次に、上記第1～第4の実施例による低誘電率被膜形成材料(樹脂溶液)を用いて、低誘電率被膜を形成する方法について説明する。

【0048】第1～第4の実施例による樹脂溶液を、シリコンウエハ表面にスピンドルコートする。回転数は3000rpmであり、塗布時間は20秒である。スピンドルコート後、200℃で溶剤を蒸発させる。酸素濃度100ppm以下の窒素雰囲気中で、400℃、30分間の熱処理を行う。この熱処理により、シロキサン樹脂及びポリカルボシランが架橋し、低誘電率被膜が形成される。

【0049】図1に、低誘電率被膜の比誘電率と、ポリカルボシランの添加量との関係を示す。横軸は、シロキサン樹脂100重量部に対するポリカルボシランの添加量を単位「重量部」で表し、縦軸は、低誘電率被膜の比誘電率を表す。図中の白丸、四角、三角、及び菱形の記号が、それぞれ第1～第4の実施例による被膜形成材料を用いて作製した低誘電率被膜の比誘電率を示す。なお、参考のために、ポリカルボシランが添加されていない比較例及びポリカルボシランの添加量を350重量部とした比較例の場合の比誘電率を、対応する実施例の記号と同一の記号を付して示している。

【0050】いずれの実施例の場合も比誘電率が2.5～3程度であり、二酸化珪素を用いた絶縁膜の比誘電率よりも小さい。特に、第1及び第2の実施例の場合には、ポリカルボシランを添加することにより、比誘電率が小さくなっていることがわかる。

【0051】図2に、低誘電率被膜の密着度と、ポリカルボシランの添加量との関係を示す。密着度は、直径2mmのスタッドピンをエポキシ樹脂で被膜表面に貼り付け、セバスチャン測定器により測定した。図2の横軸は、ポリカルボシランの添加量を単位「重量部」で表し、縦軸は、剥離が生じたときの単位面積あたりの引っ張り力を単位「N/cm<sup>2</sup>」で示す。図中の各記号の意

味は、図1の場合と同様である。

【0052】ポリカルボシランの添加量を350重量部とした比較例の密着度が、ポリカルボシランの添加量を300重量部以下とした実施例の密着度よりも低い。このため、ポリカルボシランの添加量は、シロキサン樹脂100重量部に対して、300重量部以下とすることが好ましい。

【0053】次に、低誘電率被膜のアルカリ耐性について説明する。形成された低誘電率被膜を濃度2.38%のテトラメチルアンモニウムハイドライド水溶液に1分間浸漬した後の、被膜の表面状態を観察した。ポリカルボシランが添加されていない比較例の場合、及びポリカルボシランの添加量が5重量部の比較例の場合には、被膜にクラックの発生が確認された。ポリカルボシランの添加量が10～300重量部の第1～第4の実施例の場合には、クラックの発生は確認されなかった。高いアルカリ耐性を確保するために、シロキサン樹脂100重量部に対して、ポリカルボシランの添加量を10重量部以上とすることが好ましい。

【0054】次に、第5～8の実施例による低誘電率被膜形成材料の作製方法について説明する。第5～8の実施例による低誘電率被膜形成材料は、それぞれ上記第1～第4の実施例によるポリカルボシランを添加されたシロキサン樹脂溶液に、アダマンタンモノフェノールを添加して作製される。ポリカルボシランの添加量は、シロキサン樹脂100重量部に対して150重量部である。アダマンタンモノフェノールの添加量は、シロキサン樹脂とポリカルボシランとの混合物に対して0～70重量%である。なお、比較のため、アダマンタンモノフェノールの添加量を、シロキサン樹脂とポリカルボシランとの混合物に対して80重量%とした樹脂溶液を作製した。

【0055】第5～8の実施例及び比較例による樹脂溶液を、シリコンウエハ表面にスピンドルコートし、低誘電率被膜を形成した。架橋のための熱処理時にアダマンタンモノフェノールが脱離し、多孔質膜が得られる。

【0056】図3に、多孔質低誘電率被膜の比誘電率とアダマンタンモノフェノールの添加量との関係を示す。横軸はアダマンタンモノフェノールの添加量を単位「重量%」で表し、縦軸は比誘電率を表す。図中の白丸、四角、三角、及び菱形の記号は、それぞれ第5～第8の実施例による樹脂溶液を用いて形成した被膜の比誘電率を示す。図1と図3とを比較すればわかるように、被膜を多孔質とすることにより、被膜の比誘電率をより小さくすることができる。

【0057】図4に、多孔質低誘電率被膜の密着度とアダマンタンモノフェノールの添加量との関係を示す。横軸は、アダマンタンモノフェノールの添加量を、シロキサン樹脂とポリカルボシランとの混合物に対する重量%で表し、縦軸は、密着度を単位「N/cm<sup>2</sup>」で表す。

密着度の測定は、図2で説明した方法と同様の方法で行った。

【0058】アダマンタンモノフェノールの添加量を70重量%から80重量%に増加させると、被膜の密着度が急激に低下する。このため、アダマンタンモノフェノールの添加量を70重量%以下とすることが好ましい。

【0059】次に、シロキサン樹脂中にポリカルボシランが添加されているか否かを検査する方法について説明する。ポリカルボシランは、 $(-Si-CH_2-Si-)$ 骨格を有する。これに対し、シロキサン樹脂は $(-Si-O-Si-)$ 骨格を有する。

【0060】 $(-Si-CH_2-Si-)$ 結合が含まれることは、赤外分光スペクトルの1080~1040cm<sup>-1</sup>に現れるピークにより確認される。なお、このピークは、 $(-Si-O-Si-)$ 結合に対応するピークと部分的に重なるが、これらのピークが急峻なため、両者のピークを見分けることが可能である。また、半導体基板上に形成された低誘電率被膜が、ポリカルボシランを含んでいるか否かは、顕微赤外分光分析により判定することができる。

【0061】次に、上記第1~第8の実施例による被膜形成材料を用いて作製した第9の実施例による半導体装置の構造及びその製造方法について説明する。

【0062】図5に、アルミニウム(A1)配線を有する半導体装置の断面図を示す。シリコン基板1の表面に形成されたフィールド酸化膜2により活性領域が画定されている。活性領域内に、MOSFET3が形成されている。MOSFET3は、ソース領域3S、ドレイン領域3D、ゲート電極3G、及びゲート酸化膜3Iを含んで構成される。

【0063】MOSFET3を覆うように、基板上にSiO<sub>2</sub>からなる層間絶縁膜10及びSiNからなるストップ膜11が形成されている。層間絶縁膜10の、ドレイン領域3Dに対応する位置に、コンタクトホール12が形成されている。コンタクトホール12の側面及び底面をTiNからなるバリア層13が覆う。さらに、タンゲステン(W)からなるプラグ14が、コンタクトホール12内を埋め込む。

【0064】バリア層13及びプラグ14は、基板全面にTiN膜及びW膜を堆積した後、化学機械研磨(CMP)を行うことにより形成される。TiN膜の堆積は、スッパタリングにより行われる。W膜の堆積は、六フッ化タンゲステンと水素とを用いた化学気相成長(CVD)により行われる。

【0065】ストップ膜11の表面上に、第1層目の配線20が形成されている。第1層目の配線20は、厚さ50nmのTiN膜21、厚さ450nmのCu含有A1膜22、及び厚さ50nmのTiN膜23がこの順番に積層された3層構造を有する。TiN膜及びA1膜のパターニングは、塩酸ガスを用いたプラズマエッチング

により行われる。第1層目の配線20の一部は、Wプラグ14に電気的に接続されている。

【0066】第1層目の配線20及びストップ膜11の表面を、SiO<sub>2</sub>からなる厚さ50nmのライナー膜25が覆う。ライナー膜25の形成は、テトラエチルオルソシリケート(TEOS)と酸素とを用いたCVDにより行われる。

【0067】ライナー膜25の上に、低誘電率被膜26が形成されている。低誘電率被膜26は、上記第1~第8の実施例によるシロキサン樹脂溶液をスピンドルコートすることにより形成される。なお、低誘電率被膜26は、シリコン基板の平坦面上で厚さが500nmとなる条件で成膜される。

【0068】低誘電率被膜26の上に、SiO<sub>2</sub>からなる厚さ1000nmのキャップ層27が形成されている。キャップ層27は、TEOSと酸素とを用いたCVDにより行われる。キャップ層27の上面は、CMPにより平坦化されている。この研磨は、ライナー膜25、低誘電率被膜26、及びキャップ層27の合計の膜厚が、第1層目の配線20の配置されていない部分において1200nmになるよう行われる。

【0069】ライナー膜25、低誘電率被膜26、及びキャップ層27の3層に、ピアホール28が形成されている。ピアホール28の形成は、CF<sub>4</sub>とCHF<sub>3</sub>とを用いたプラズマエッチングにより行われる。ピアホール28の側面及び底面をTiNからなるバリア層29が覆う。Wプラグ30が、ピアホール28内を埋め込んでいる。バリア層29及びWプラグ30の形成は、下層のバリア層13及びプラグ14の形成と同様の方法で行われる。

【0070】キャップ層27の上に、第2層目の配線40が形成されている。第2層目の配線40を覆うように、第2層目のライナー膜41、低誘電率被膜42、及びキャップ層43が積層されている。これらは、第1層目の対応する部分の形成と同様の方法で形成される。

【0071】図5に示す多層配線構造においては、同一配線層内の相互に隣り合う配線の間が、低誘電率被膜で充填されている。このため、配線間の寄生容量を少なくすることができる。また、低誘電率被膜26及び41が、上記実施例による被膜形成材料を用いて形成されているため、アルカリ溶液を用いた処理を行っても被膜の吸湿性が増大せず、低い誘電率を維持することができる。

【0072】図6に、銅(Cu)配線を有する半導体装置の断面図を示す。シリコン基板1からストップ膜11までの構造は、図5に示した半導体装置の対応する部分の構造と同一である。図6のこれらの構成部分に、図5の対応する部分に付された参照符号と同一の参照符号が付されている。

【0073】ストップ膜11の上に、低誘電率被膜50

が形成されている。低誘電率被膜50は、上記実施例による被膜形成材料を用い、シリコン基板の平坦面上で厚さが450nmになる条件で形成される。低誘電率被膜50の上に、 $\text{SiO}_2$ からなる厚さ50nmのキャップ層51が形成されている。キャップ層51は、TEOSと酸素とを用いたCVDにより形成される。

【0074】低誘電率被膜50及びキャップ層51に、第1層目配線溝52が形成されている。第1層目配線溝52は、 $\text{CF}_4$ と $\text{CHF}_3$ とを用いたプラズマエッチングにより形成される。第1層目配線溝52の底面にプラグ14の上面が現れる。

【0075】第1層目配線溝52の側面及び底面が、 $\text{TaN}$ からなる厚さ50nmのバリア層53で覆われている。 $\text{Cu}$ からなる第1層目配線54が配線溝52内を埋め込んでいる。以下、バリア層53と第1層目配線54の形成方法を説明する。

【0076】第1層目配線溝52の内面を含む基板全面上に、 $\text{TaN}$ 膜をスパッタリングにより形成する。さらに、その上に厚さ50nmの $\text{Cu}$ 膜をスパッタリングにより形成する。この $\text{Cu}$ 膜を電極として電解めっきにより厚さ600nmの $\text{Cu}$ 膜を形成する。余分な $\text{Cu}$ 膜及び $\text{TaN}$ 膜をCMPにより除去し、第1層目配線溝52内にバリア層53及び第1層目配線54を残す。

【0077】キャップ層51の上に、 $\text{SiN}$ からなる厚さ50nmの拡散防止膜60、低誘電率被膜61、 $\text{SiN}$ からなる厚さ50nmのストップ膜62、低誘電率被膜63、 $\text{SiN}$ からなる厚さ50nmのキャップ層64が積層されている。拡散防止膜60及びストップ膜62は、シランとアンモニアガスを用いたプラズマCVDにより形成される。低誘電率被膜61及び63は、上記実施例による被膜形成材料を用いて形成される。低誘電率被膜61及び63は、それぞれシリコン基板の平坦面上において厚さが650nm及び400nmとなる条件で形成される。

【0078】拡散防止膜60及び低誘電率被膜61に、ピアホール68が形成されている。ストップ膜62、低誘電率被膜63及びキャップ層64に、第2層目配線溝69が形成されている。ピアホール68及び第2層目配線溝69の内面が、 $\text{TaN}$ からなる厚さ50nmのバリア層70で覆われている。 $\text{Cu}$ からなる第2層目配線72が、ピアホール68及び第2層目配線溝69内を埋め込んでいる。第2層目配線72は、デュアルダマシン法で形成される。

【0079】以下、デュアルダマシン法を簡単に説明する。まず、キャップ層64から第1層目配線54の上面まで達するピアホール68を形成する。次に、キャップ層64から低誘電率被膜61の上面まで達する第2層目配線溝69を形成する。バリア層70及び第2層目配線72の形成は、下層のバリア層53及び第1層目配線54の形成と同様の方法で行う。

【0080】第1層目配線54及び第2層目配線72が、低誘電率被膜50、61、及び63で取り囲まれているため、配線間の寄生容量の低減を図ることができる。また、これら低誘電率被膜50、61、及び63は、上記実施例による被膜形成材料を用いて形成されているため、アルカリ溶液による処理を行っても、吸湿性が高まることなく、誘電率を小さく維持することができる。

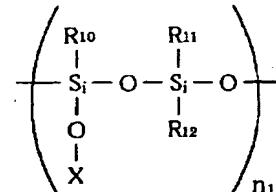
【0081】次に、図7を参照して、第10の実施例による半導体装置及びその製造方法について説明する。図6に示した第9の実施例による半導体装置では、低誘電率被膜61とその上の低誘電率被膜63との間に窒化シリコンからなるストップ膜62が配置されていた。第10の実施例では、ストップ膜62が配置されず、低誘電率被膜63が低誘電率被膜61に接している。

【0082】第10の実施例では、低誘電率被膜61及び63は、シリカ系多孔質材料で形成されている。同一エッチング条件下で、上層の低誘電率被膜63のエッチング速度は、下層の低誘電率被膜61のエッチング速度よりも速い。その他の構成は、図6に示した第9の実施例の構成と同様である。

【0083】低誘電率被膜61及び63は、例えば、一般式

【0084】

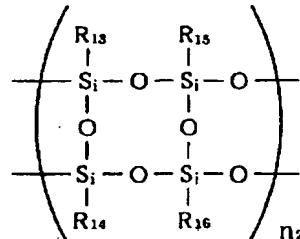
【化11】



【0085】で表されるシロキサン樹脂、または、一般式

【0086】

【化12】



【0087】で表されるラダー型シロキサン樹脂を含む。

【0088】ここで、 $R_{10} \sim R_{12}$ は水素、酸素もしくは1価の炭化水素基であり、 $R_{13} \sim R_{16}$ は水素、フッ素もしくは1価の炭化水素基である。 $n_1$ は5～200の整数であり、Xは水素もしくはシリコンである。 $n_2$ は5～100の整数である。

【0089】下層の低誘電率被膜61においては、 $R_{10}$

～R<sub>12</sub>のうち少なくとも1つ、またはR<sub>13</sub>～R<sub>16</sub>のうち少なくとも1つは、フェニル基もしくは炭素数2～5の炭化水素基である。上層の低誘電率被膜63においては、R<sub>10</sub>～R<sub>12</sub>のいずれも炭素数2以上の炭化水素基ではなく、R<sub>13</sub>～R<sub>16</sub>のいずれも炭素数2以上の炭化水素基ではない。

【0090】本願発明者らは、シロキサン樹脂またはラダー型シロキサン樹脂の側鎖を変えることによって、エッティング速度が変わることを見出した。具体的には、側鎖が水素またはメチル基のみである場合には、1モノマ単位の側鎖の少なくとも1つがフェニル基もしくは炭素数2以上の炭化水素基である場合に比べて、フッ素プラズマを用いたエッティングを行った時のエッティング速度が3倍以上速い。第10の実施例においては、上層の低誘電率被膜63のエッティング速度が、下層の低誘電率被膜61のエッティング速度の3倍以上になるように、それらの材料が選択されている。

【0091】次に、下層の低誘電率被膜61の材料の一例の製造方法について説明する。メチルイソブチルケトン37.2gに、テトラエトキシシラン20.8g(0.1モル)とフェニルトリエトキシシラン20.4g(0.1モル)とを溶解させ、200mlの溶液を得る。この溶液に、濃度400ppmの硝酸水16.2g(0.9モル)を10分間で滴下し、滴下終了後2時間の熟成反応を行う。テトラエトキシシランとフェニルトリエトキシシランとが共重合し、シロキサン樹脂が生成される。このシロキサン樹脂では、上記一般式のR<sub>10</sub>～R<sub>12</sub>のうち少なくとも1つがフェニル基であり、他が酸素原子である。なお、この酸素原子のもう一方の結合手には、水素原子もしくはシリコン原子が結合している。

【0092】このシロキサン樹脂溶液に、硫酸マグネシウム5gを添加し、過剰の水分を除去する。ロータリエバボレータを用い、熟成反応で生成した副生成物であるエタノールを含む溶媒を、反応溶液が50mlになるまで除去する。得られた反応溶液に、アダマンタンモノフェノール0.1gを添加する。これにより、下層の低誘電率被膜61を形成するためのシロキサン樹脂溶液が得られる。なお、アダマンタンモノフェノールは、低誘電率被膜を多孔質化させるための脱離剤である。

【0093】次に、上層の低誘電率被膜63の材料の一例の製造方法について説明する。メチルイソブチルケトン39.6gに、テトラエトキシシラン20.8g(0.1モル)とメチルトリエトキシシラン17.8g(0.1モル)とを溶解させ、200mlの溶液を得る。この溶液に、濃度400ppmの硝酸水16.2g(0.9モル)を10分間で滴下し、滴下終了後2時間の熟成反応を行う。テトラエトキシシランとメチルトリエトキシシランとが共重合し、シロキサン樹脂が生成される。このシロキサン樹脂においては、上記一般式のR<sub>10</sub>～R<sub>12</sub>のうち少なくとも1つがメチル基であり、他が

酸素である。なお、この酸素原子のもう一方の結合手には、水素原子もしくはシリコン原子が結合している。

【0094】その後、下層の低誘電率被膜材料の合成の場合と同様に、過剰の水分を除去し、熟成反応で生成した副生成物であるエタノールを含む溶媒を、反応溶液が50mlになるまで除去する。得られた反応溶液に、アダマンタンモノフェノール0.1gを添加する。これにより、上層の低誘電率被膜63を形成するためのシロキサン樹脂溶液が得られる。

【0095】次に、上述の低誘電率被膜材料を用いて、図7に示した半導体装置を作製する方法について説明する。

【0096】拡散防止膜60を形成する工程までは、図6に示した第9の実施例による半導体装置の製造方法と同一であるため、ここでは説明を省略する。拡散防止膜60の上に、下層の低誘電率被膜材料であるシロキサン樹脂溶液をスピンドルコートする。温度200℃で溶剤の乾燥を行う。酸素濃度100ppm以下の窒素雰囲気中で、温度400℃で30分間のアニールを行う。これにより、厚さ500nmの下層のシリカ系多孔質材料からなる低誘電率被膜61が形成される。

【0097】下層の低誘電率被膜61の上に、上層の低誘電率被膜材料であるシロキサン樹脂溶液をスピンドルコートし、溶剤を乾燥させ、アニールを行い、厚さ400nmの上層の低誘電率被膜63を形成する。溶剤の乾燥、及びアニールの条件は、下層の低誘電率被膜61を形成する時の条件と同一である。

【0098】低誘電率被膜63の上に、テトラエチルオルソシリケート(TEOS)を用いた化学気相成長(CVD)により、酸化シリコンからなる厚さ50nmのキャップ層64を形成する。

【0099】キャップ層64の表面上に、ピアホール68に対応する開口を有するレジストパターンを形成する。CF<sub>4</sub>とCHF<sub>3</sub>とを原料としたフッ素プラズマを用いて、キャップ層64から、第1層目配線54の上面まで達する穴を形成する。レジストパターンを除去し、続いて、キャップ層64の表面上に、第2層目配線溝69に対応する開口を有するレジストパターンを新たに形成する。

【0100】C<sub>2</sub>F<sub>6</sub>とO<sub>2</sub>とを原料としたフッ素プラズマを用いて、上層の低誘電率被膜63をエッティングし、第2層目配線溝69を形成する。このエッティングは、C<sub>2</sub>F<sub>6</sub>の流量を40sccm、O<sub>2</sub>の流量を10sccm、誘導結合プラズマを発生させるための入力電力を200W、ガス圧を5.32Pa(40mTorr)とした条件で行われる。このエッティング条件の下で、上層の低誘電率被膜63のエッティング速度は約100nm/minであり、下層の低誘電率被膜61のエッティング速度は約30nm/minである。このように、下層の低誘電率被膜61のエッティング速度が上層の低誘電率被膜63

3のエッティング速度よりも遅いため、エッティング停止層を配置しなくとも、下層の低誘電率被膜61の上面が現れた時点で、制御性よくエッティングを停止させることができる。なお、制御性よくエッティングを停止させるためには、同一エッティング条件における上層の低誘電率被膜63のエッティング速度が、下層の低誘電率被膜61のエッティング速度の2倍以上であることが好ましい。

【0101】レジストパターンを除去し、バリア層70及び第2層目配線72を形成する。バリア層70及び第2層目配線72の形成は、図6に示した第1の実施例の場合と同様である。

【0102】第10の実施例では、下層の低誘電率被膜61と上層の低誘電率被膜63との間に、比較的誘電率の高い窒化シリコン膜が配置されていないため、配線間の寄生容量をより低減することができる。実際に、2本の第2層目配線72を相互に平行に配置し、両者間の静電容量を測定することによって実効比誘電率を測定したところ、約2.5であった。これに対し、図6に示した第9の実施例の場合の実効比誘電率は2.8であった。

【0103】また、低誘電率被膜の積層構造の比誘電率を測定するために、シリコン基板上に、厚さ300nmの下層の低誘電率被膜、厚さ300nmの上層の低誘電率被膜、及び、原料としてTEOSを用いて成膜した厚さ50nmの酸化シリコン膜を積層した評価用試料を作製した。最上層の酸化シリコン膜の表面上に、直径1mm、厚さ100nmのAu膜を形成し、シリコン基板とAu膜間の静電容量を測定した。この測定結果から、低誘電率被膜及び酸化シリコンからなる3層構造の比誘電率を求めたところ、2.4であった。これに対し、2層の低誘電率被膜の間に厚さ50nmの窒化シリコン膜を配置した4層構造の比誘電率は2.7であった。なお、TEOSを用いて成膜した酸化シリコン単体の比誘電率は約4であり、窒化シリコン単体の比誘電率は約7である。

【0104】上述の第10の実施例、及びこの評価結果からわかるように、窒化シリコンからなるエッティングストップ膜を配置しないことにより、低誘電率被膜を含む積層構造の比誘電率を低減することができる。

【0105】上層の低誘電率被膜材料として、上記第10の実施例で用いたシロキサン樹脂をはじめ、テトラアルコキシシラン、トリアルコキシシラン、メチルトリアルコキシシラン等を原料としてソルゲル法により生成した樹脂、もしくはこれらの混合物を原料としてソルゲル法により生成した樹脂、テトラアルコキシシランとジメチルジアルコキシシランとを原料としてソルゲル法により生成した樹脂等が挙げられる。また、ラダー型の樹脂として、水素シルセスキオキサン、メチルシルセスキオキサン、フッ素含有水素シルセスキオキサン等が挙げられる。

【0106】下層の低誘電率被膜材料として、上記第1

0の実施例で用いたシロキサン樹脂をはじめ、フェニルトリアルコキシシランを原料としてソルゲル法により生成した樹脂が挙げられる。また、ラダー型の樹脂として、フェニルシルセスキオキサン等が挙げられる。また、側鎖の少なくとも1つが炭素数2~5の炭化水素基である樹脂として、エチルトリアルコキシシラン、プロピルトリアルコキシシラン、ノルマルーブチルトリアルコキシシラン、ターシャリーブチルトリアルコキシシラン等から選択された少なくとも1つを原料として、ソルゲル法により生成した樹脂が挙げられる。

【0107】上述の種々の実施例から、下記の付記に示した発明が導かれる。

(付記1) シロキサン樹脂とポリカルボシランとを溶解した低誘電率被膜形成材料。

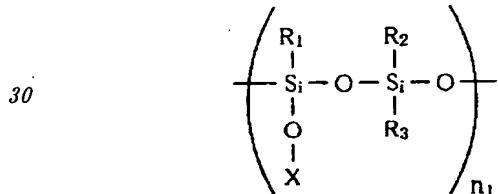
(付記2) 前記シロキサン樹脂の重量平均分子量が1,000~500,000であり、前記ポリカルボシランが、シロキサン樹脂100重量部に対して10~300重量部溶解している付記1に記載の低誘電率被膜形成材料。

20 (付記3) さらに、加熱もしくは光照射により脱離する有機化合物が溶解しており、その量が、前記シロキサン樹脂とポリカルボシランとの混合物に対し10~70重量%である付記1または2に記載の低誘電率被膜形成材料。

(付記4) 一般式が

【0108】

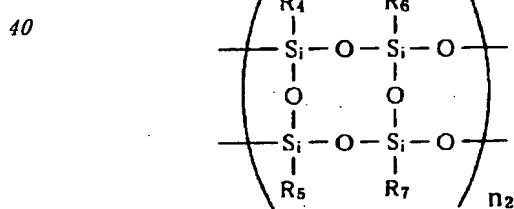
【化13】



【0109】(R<sub>1</sub>~R<sub>3</sub>は水素、酸素もしくは1価の炭化水素基、Xは水素もしくはシリコン、n<sub>1</sub>は5~20の整数)もしくは、

【0110】

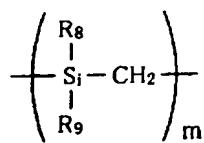
【化14】



【0111】(R<sub>4</sub>~R<sub>7</sub>は水素、フッ素もしくは1価の炭化水素基、n<sub>2</sub>は5~100の整数、ただし、R<sub>4</sub>~R<sub>7</sub>のうち少なくとも1つは水素)で表されるシロキサン樹脂100重量部と、一般式が

【0112】

【化15】



【0113】(R<sub>8</sub>及びR<sub>9</sub>は、水素もしくは1価の炭化水素基、mは20~1000の整数)で表されるポリカルボシラン10~300重量部とを溶剤に溶解させた低誘電率被膜形成材料。

(付記5)さらに、加熱もしくは光照射により脱離する有機化合物が前記溶剤に溶解しており、その量が、前記シロキサン樹脂とポリカルボシランとの混合物に対し10~70重量%である付記4に記載の低誘電率被膜形成材料。

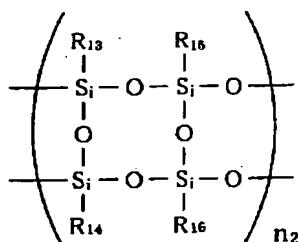
(付記6)シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率被膜。

(付記7)半導体基板と、前記半導体基板の主表面上

【0115】(R<sub>10</sub>~R<sub>12</sub>は水素、酸素もしくは1価の炭化水素基、n<sub>1</sub>は5~200の整数、Xは水素もしくはシリコン)もしくは、一般式

【0116】

【化17】



【0117】(R<sub>13</sub>~R<sub>16</sub>は水素、フッ素もしくは1価の炭化水素基、n<sub>2</sub>は5~100の整数、ただし、R<sub>13</sub>~R<sub>16</sub>のうち少なくとも1つは水素)で表されるシロキサン樹脂を含む付記8または9に記載の半導体装置。

(付記11)前記第1のシリカ系多孔質材料においては、R<sub>10</sub>~R<sub>12</sub>のうち少なくとも1つがフェニル基もしくは炭素数2~5の炭化水素基であるか、またはR<sub>13</sub>~R<sub>16</sub>のうち少なくとも1つがフェニル基もしくは炭素数2~5の炭化水素基であり、前記第2のシリカ系多孔質材料においては、R<sub>10</sub>~R<sub>12</sub>のいずれも炭素数2以上の炭化水素基ではないか、またはR<sub>13</sub>~R<sub>16</sub>のいずれも炭素数2以上の炭化水素基ではない付記10に記載の半導体装置。

(付記12)前記第2のシリカ系多孔質材料のエッチ

に配置され、シロキサン樹脂と、該シロキサン樹脂に結合したポリカルボシランとを含む低誘電率材料からなる低誘電率被膜とを有する半導体装置。

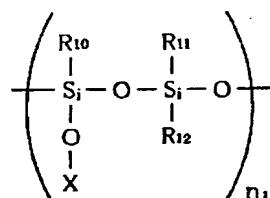
(付記8)半導体基板と、前記基板の表面上に形成され、第1のシリカ系多孔質材料からなる第1の膜と、前記第1の膜の上に直接形成され、同一エッティング条件の下で、前記第1のシリカ系多孔質材料とはエッティング速度の異なる第2のシリカ系多孔質材料からなる第2の膜とを有する半導体装置。

10 (付記9)前記第1のシリカ系多孔質材料と第2のシリカ系多孔質材料との同一エッティング条件下でのエッティング速度の速い方が遅い方の2倍以上である付記8に記載の半導体装置。

(付記10)前記第1及び第2のシリカ系多孔質材料が、一般式

【0114】

【化16】



ング速度が第1のシリカ系多孔質材料のエッティング速度よりも速く、さらに、深さが前記第2の膜の厚さ以上であり、該第2の膜内に形成された溝と、前記溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールと、前記ピアホール及び配線溝の内部を埋め込む導電性の配線とを有する付記8~11のいずれかに記載の半導体装置。

(付記13)半導体基板の表面上に、第1のシリカ系多孔質材料からなる第1の膜を形成する工程と、同一エッティング条件の下で、前記第1のシリカ系多孔質材料よりもエッティング速度の速い第2のシリカ系多孔質材料からなる第2の膜を、前記第1の膜の表面上に、直接形成する工程と、前記第2の膜の厚さ以上の深さを有する溝と、該溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールとを形成する工程と、前記ピアホール及び前記溝内に、導電性の部材を埋め込む工程とを有する半導体装置の製造方法。

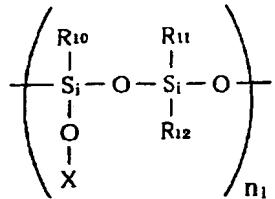
(付記14)前記溝とピアホールとを形成する工程が、前記第1の膜と前記第2の膜とを貫通する穴を形成する工程と、前記穴と一部重なる領域を、前記第2の膜の上面から、少なくとも前記第1の膜の上面までエッティングし、前記溝を形成する工程とを含む請求項13に記載の半導体装置の製造方法。

(付記15)半導体基板と、前記基板の表面上に形成され、第1のシリカ系多孔質材料からなる第1の膜と、前記第1の膜の上に直接形成され、第2のシリカ系多孔

質材料からなる第2の膜とを有し、前記第1及び第2のシリカ系多孔質材料が、一般式

【0118】

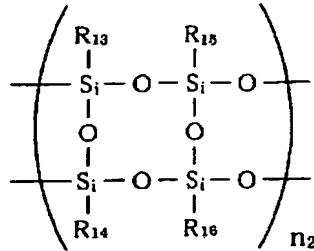
【化18】



【0119】 (R<sub>10</sub>～R<sub>12</sub>は水素、酸素もしくは1価の炭化水素基、n<sub>1</sub>は5～200の整数、Xは水素もしくはシリコン) もしくは、一般式

【0120】

【化19】

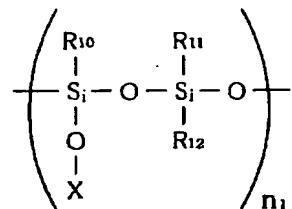


【0121】 (R<sub>13</sub>～R<sub>16</sub>は水素、フッ素もしくは1価の炭化水素基、n<sub>2</sub>は5～100の整数、ただし、R<sub>13</sub>～R<sub>16</sub>のうち少なくとも1つは水素) で表されるシロキサン樹脂を含み、前記第1のシリカ系多孔質材料においては、R<sub>10</sub>～R<sub>12</sub>のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であるか、またはR<sub>13</sub>～R<sub>16</sub>のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であり、前記第2のシリカ系多孔質材料においては、R<sub>10</sub>～R<sub>12</sub>のいずれも炭素数2以上の炭化水素基ではないか、またはR<sub>13</sub>～R<sub>16</sub>のいずれも炭素数2以上の炭化水素基ではない半導体装置。

(付記16) 半導体基板の表面上に、第1のシリカ系多孔質材料からなる第1の膜を形成する工程と、第2のシリカ系多孔質材料からなる第2の膜を、前記第1の膜の表面上に、直接形成する工程と、前記第2の膜の厚さ以上の深さを有する溝と、該溝と一部重なる位置に配置され、前記第1の膜を貫通するピアホールとを形成する工程と、前記ピアホール及び前記溝内に、導電性の部材を埋め込む工程とを有し、前記第1及び第2のシリカ系多孔質材料が、一般式

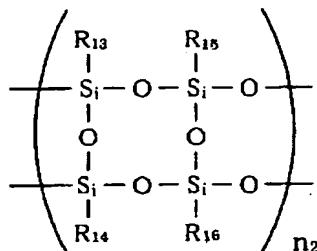
【0122】

【化20】



【0123】 (R<sub>10</sub>～R<sub>12</sub>は水素、酸素もしくは1価の炭化水素基、n<sub>1</sub>は5～200の整数、Xは水素もしくはシリコン) もしくは、一般式

【化21】



20 【0125】 (R<sub>13</sub>～R<sub>16</sub>は水素、フッ素もしくは1価の炭化水素基、n<sub>2</sub>は5～100の整数、ただし、R<sub>13</sub>～R<sub>16</sub>のうち少なくとも1つは水素) で表されるシロキサン樹脂を含み、前記第1のシリカ系多孔質材料においては、R<sub>10</sub>～R<sub>12</sub>のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であるか、またはR<sub>13</sub>～R<sub>16</sub>のうち少なくとも1つがフェニル基もしくは炭素数2～5の炭化水素基であり、前記第2のシリカ系多孔質材料においては、R<sub>10</sub>～R<sub>12</sub>のいずれも炭素数2以上の炭化水素基ではないか、またはR<sub>13</sub>～R<sub>16</sub>のいずれも炭素数2以上の炭化水素基ではない半導体装置の製造方法。

【0126】 以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0127】

【発明の効果】 以上説明したように、本発明によると、シロキサン樹脂にポリカルボシランを添加することにより、低誘電率被膜のアルカリ耐性を高めることができる。このため、アルカリ溶液を用いた処理後も、低誘電率被膜の誘電率を低く維持することができる。

【0128】 また、エッティング速度の遅いシリカ系多孔質材料からなる膜の上に、エッティング速度の速いシリカ系多孔質材料からなる膜を積層することにより、上層の膜をエッティングする際に、下層の膜が現れた時点で比較的再現性よくエッティングを停止させることができる。

【図面の簡単な説明】

【図1】 第1～第4の実施例による低誘電率被膜形成材料を用いて形成した被膜の比誘電率とポリカルボシランの添加量との関係を示すグラフである。

【図2】第1～第4の実施例による低誘電率被膜形成材料を用いて形成した被膜の密着度とポリカルボシランの添加量との関係を示すグラフである。

【図3】第5～第8の実施例による低誘電率被膜形成材料を用いて形成した被膜の比誘電率とポリカルボシランの添加量との関係を示すグラフである。

【図4】第5～第8の実施例による低誘電率被膜形成材料を用いて形成した被膜の密着度とポリカルボシランの添加量との関係を示すグラフである。

【図5】実施例による低誘電率被膜を用いた半導体装置の断面図である。

【図6】第9の実施例による低誘電率被膜を用いた半導体装置の断面図である。

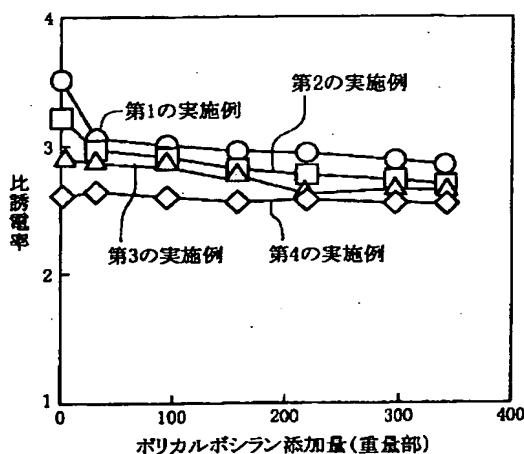
【図7】第10の実施例による低誘電率被膜を用いた半導体装置の断面図である。

【符号の説明】

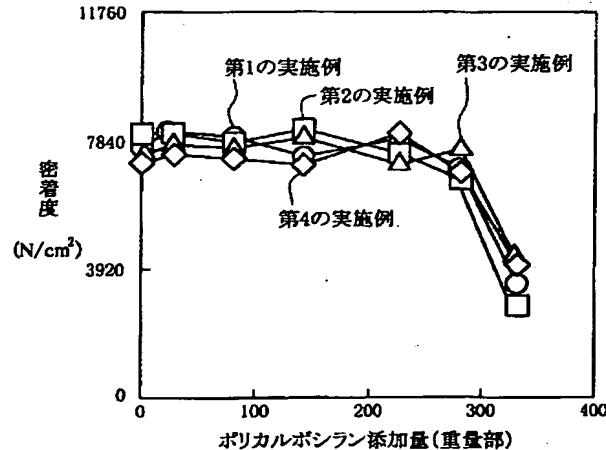
- 1 シリコン基板
- 2 フィールド酸化膜
- 3 MOSFET
- 10 層間絶縁膜
- 11 ストップ膜
- 12 コンタクトホール

- 13 バリア層
- 14 プラグ
- 20 第1層目配線
- 21、23 TiN膜
- 22 Al膜
- 25、41 ライナー膜
- 26、42 低誘電率被膜
- 27、43 キャップ層
- 28 ピアホール
- 10 29 バリア層
- 30 プラグ
- 40 第2層目配線
- 50、61、63 低誘電率被膜
- 51、64 キャップ層
- 52 第1層目配線溝
- 53、70 バリア層
- 54 第1層目配線
- 60 拡散防止膜
- 62 ストップ膜
- 20 68 ピアホール
- 69 第2層目配線溝
- 72 第2層目配線

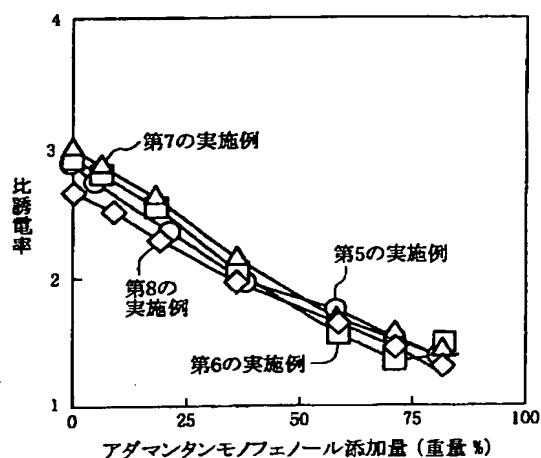
【図1】



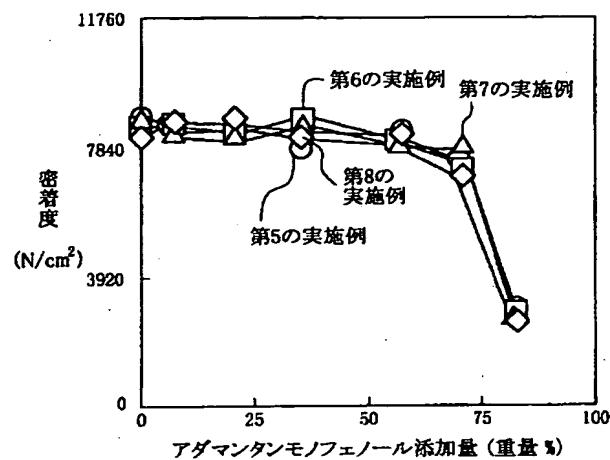
【図2】



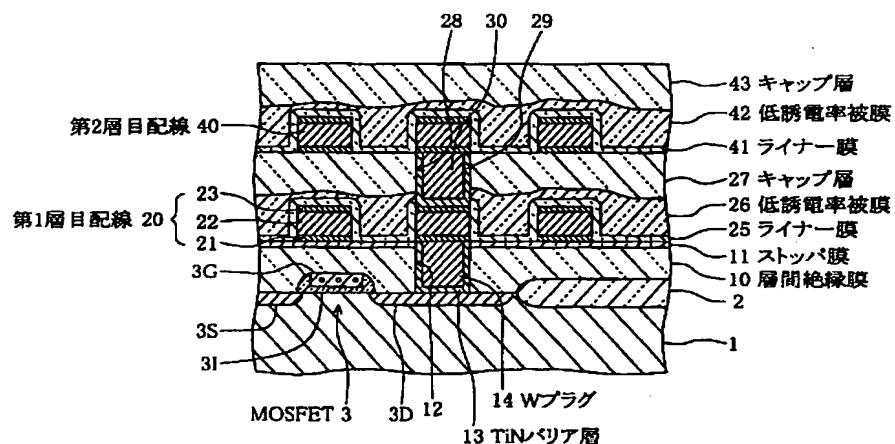
【図3】



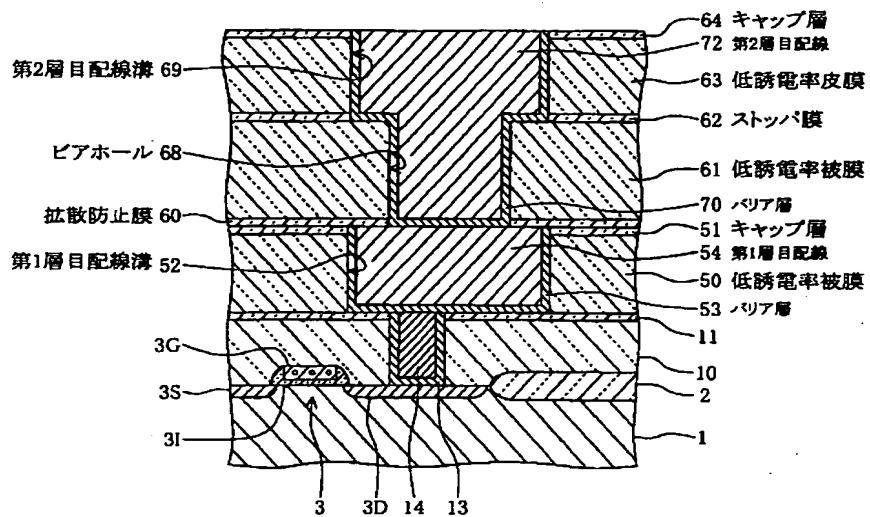
【図4】



【図5】

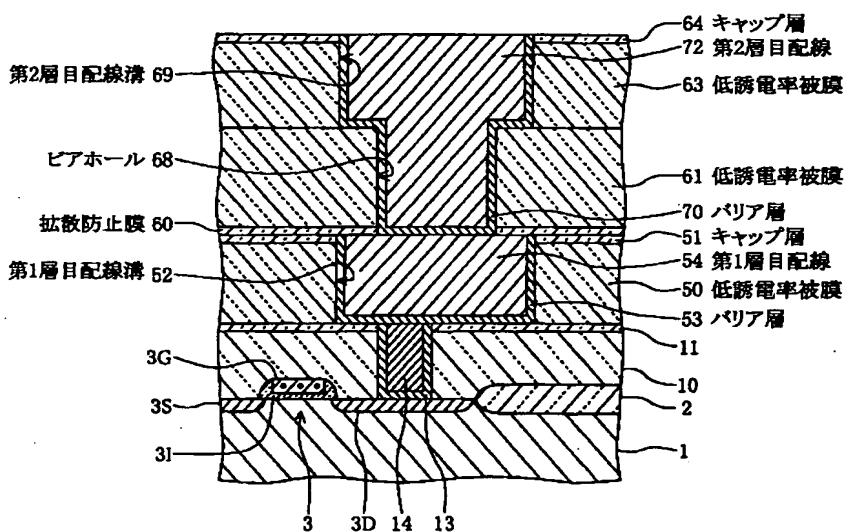


【図6】



【図7】

第10の実施例



フロントページの続き

(51) Int. Cl. 7

C 08 L 83/16  
H 01 L 21/316  
21/768

識別記号

F I

C 08 L 83/16  
H 01 L 21/316  
21/90

テ-マコ-ド (参考)

G  
S  
Q

(72) 発明者 矢野 映

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 大和田 保

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72)発明者 鈴木 克己  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72)発明者 杉浦 巍  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

Fターム(参考) 4F100 AA12 AA20A AA20C AB10  
AB11 AB17 AB25 AB40 AD05  
AK52A AK52C AK54A AK54C  
AL05A AL05C AR00B BA02  
BA03 BA05 BA10B BA10C  
DD05 DJ10A DJ10C EG002  
EH462 EH662 EJ052 EJ152  
EJ422 GB41 JB01 JG00B  
JG05A JG05C YY00A YY00C  
4J002 CP03W CP21X EJ026 GQ01  
5F033 HH09 HH11 HH32 HH33 JJ19  
JJ33 KK01 KK09 KK33 MM02  
MM08 MM13 NN06 NN07 PP04  
PP06 PP15 PP27 QQ08 QQ10  
QQ12 QQ25 QQ35 QQ37 QQ48  
RR04 RR06 RR09 RR21 RR23  
RR25 SS02 SS04 SS11 SS15  
SS21 TT04 XX24  
5F058 AA10 AC03 AF04 AG01 AH02  
BA20 BC05 BD02 BD04 BD07  
BD10 BF46 BH01 BJ02